

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-125859

(43)Date of publication of application : 27.07.1983

(51)Int.Cl.

H01L 23/52

(21)Application number : 57-007588

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.01.1982

(72)Inventor : ITO CHIKAICHI
HARADA YUKIYOSHI
KAMIKAWAI RYOTARO

(54) SUBSTRATE FOR MOUNTING OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To obtain the substrate for mounting of the semiconductor elements in high density by a method wherein the substrate is made of the material the same with the semiconductor elements to remove the difference between the coefficients of thermal expansion.

CONSTITUTION: When a comparatively soft polymer of polyimide, etc., is used as an insulating film for construction of a multilayer wiring on the Si substrate, concentration of stress at the connecting part of a chip and the substrate can be prevented. The polymer has the larger coefficient of thermal expansion than Si usually, while when it is formed in a thin film, behavior of thermal expansion thereof nearly follows that of Si. Therefore even when the Si chip is connected electrically to the wiring on the polymer film formed on the Si substrate using solder balls, break off of the connecting part to be caused according to thermal expansion is not generated. Accordingly, formation of the chip in a large area, provision of connecting pins in high density can be facilitated.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—125859

⑪ Int. Cl.³
H 01 L 23/52

識別記号

庁内整理番号
6428—5 F

⑬ 公開 昭和58年(1983) 7月27日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体素子実装用基板

地株式会社日立製作所中央研究
所内

⑮ 特 願 昭57—7588

⑯ 発 明 者 上川井良太郎

⑰ 出 願 昭57(1982) 1月22日

国分寺市東恋ヶ窪 1丁目280番
地株式会社日立製作所中央研究
所内

⑱ 発 明 者 伊藤親市
国分寺市東恋ヶ窪 1丁目280番
地株式会社日立製作所中央研究
所内

⑲ 出 願 人 株式会社日立製作所
東京都千代田区丸の内 1丁目5
番 1号

⑳ 発 明 者 原田征喜
国分寺市東恋ヶ窪 1丁目280番

㉑ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体素子実装用基板

特許請求の範囲

1. 基板と、該基板上に半導体素子の載置用に設けられた接着層とを有する半導体素子実装用基板において、上記基板は上記半導体素子と同じ物質を用いてなることを特徴とする半導体素子実装用基板。

発明の詳細な説明

本発明は半導体素子実装用基板に関し、とくに、多数のS i半導体のLS I (大規模集積回路) を搭載し、LS Iチップ間の結線および基板外部との結線を行なう高密度実装基板に用いて効あるものである。

従来IC (集積回路) チップは一個ずつパッケージングしてD I L (Dual in Line) のピンをとり出し、エポキシのプリント基板に搭載する方式がとられてきた。この方法ではICチップの面積に比べパッケージングの占める面積が大きくIC実装の高密度化に限界があつた。最近この問

題を回避してICチップ実装の高密度化をはかるためにセラミックの多層基板にICチップを直接接続する方式が用いられるようになってきている。このセラミック基板実装法においては、ICチップとセラミック基板との電気的接続には通常はんだの小球を用いるCCB (Controlled Collapse Bonding) 法が用いられている。このはんだ接続技術においてはチップに用いるS iと基板に用いるアルミナとの熱膨張係数の差のために接続はんだ小球に大きな応力が働き、接続部が破断しやすいという問題がある。この傾向はチップの面積を大きくしたり、はんだ小球の直径を小さくすると激しくなり、チップの大面积化および接続ピンの多ピン化を妨げ、ひいてはチップの高密度化を妨げる要因となつていた。

本発明の目的は上記欠点のない半導体素子実装用基板を提供することにある。

上記目的を達成するための本発明の構成は、基板材料としてS iを用いICチップと基板材料との熱膨張係数の差をなくすることにある。このため、

多層配線を実現させるための絶縁膜としてポリイミド等の比較的軟かいポリマーを用いることによりチップと基板との接続部における応力集中が防止される。ポリマーは通常Siよりも熱膨張係数が大きいが膜厚が薄いので、Si板上に形成したポリマー膜の熱膨張の挙動はSiのそれにほぼ追従する。したがって、Si基板上に形成したポリマー膜上の配線にはんだボールを用いてSiチップを電気的に接続したときには熱膨張を原因とする接続部の破断はほぼなくなる。そのためチップの表面積化および接続ピンの高密度多ピン化が容易となる。

以下図面を参照しながら、実施例を用いて本発明を具体的に説明する。

実施例

第1図(a)に示すように基板1として厚さ2mmのシリコン板を用いた。これにレーザ又は電子ビームを用いて直径1mmのスルーホール11をあけた。次に第1図(b)に示すように、上記基板1に酸化処理をほどこして、 SiO_2 の被膜2を基板表面および

びスルーホール11内部に形成した。次いで、スルーホール内に導体ペースト3を充填し乾燥固化し、平坦化処理をほどこした。つぎに第1図(c)に示すように、ポリイミドイソンドロキナゾリンジオン(ポリイミドの一種で、以下PIKと略称する)をスピンコートにより被覆させ、10μmのPIK膜4を形成した。PIK膜の所定の箇所にスルーホールをあげアルミニウム配線5を施した。さらに第1図(d)に示すように、PIK膜形成、スルーホール孔あけ、アルミニウム配線工程を繰返して第二配線層51を形成した。第二配線層の上面にあるアルミ配線部の接続パッドに必要な表面処理を行なつた。接続パッドにシリコンICチップ6をCCB接続する。

以上説明したごとく本発明によればシリコンチップと配線基板との熱膨張の差を非常に小さくすることができる。そのため両者の接続部に働く応力を小さくすることができ配線基板の信頼性を著しく高めることができる。また上記両者の中間に比較的軟かいポリマー絶縁膜を配線するので配線

の多層化が容易である。そのため多数のICチップを一枚の配線基板に搭載することも容易となつた。

図面の簡単な説明

第1図(a)～(d)は本発明の一実施例としての半導体実装基板の構造とその製造工程の概略を示した説明図である。

1…Si基板、11…スルーホール、2…酸化膜、3…導体ペースト、4…高分子樹脂層、5および51…Al配線層、6…シリコンICチップ。

代理人 弁理士 薄田利幸

特
許
印
刷
局

第 1 図

